

PROJETO DE UMA PASTILHA TESTE PARA AVALIAÇÃO DE CI DIGITAIS FABRICADOS SEGUNDO A TECNOLOGIA HMOS

M.STRUM *

L.S.ZASNICOFF **

SUMÁRIO

Este trabalho descreve o projeto de uma pastilha contendo 74 estruturas de teste que servem para suporte do projeto (parâmetros) bem como para avaliação do desempenho de CI digitais fabricados segundo a tecnologia HMOS. A pastilha foi projetada baseada em normas sugeridas pelo National Bureau of Standards americana e foi prevista a extração de dados e de parâmetros por sistema automático de medidas. Esta pastilha será utilizada para avaliar o desempenho de uma memória RAM estática HMOS que está sendo desenvolvida no LME-USP, bem como uma versão otimizada da tecnologia HMOS já desenvolvida no LME que inclui um contato entre a camada de alumínio e o substrato.

ABSTRACT

This work describes a test chip design containing 74 test structures which will provide informations (parameters) for circuit design and will also be used to evaluate HMOS digital circuits performance. This chip has been designed based on the NBS suggested standards and automatic parameter extraction has been predicted. This chip will be used to evaluate an HMOS static RAM performance which is being developed at LME-USP. It will also be used to evaluate a new version of an HMOS process developed at LME-USP which includes a contact between the aluminum layer and the bulk.

* Engenheiro Eletricista, Mestre e Doutor em Engenharia (1971,1978,1983);
Projeto e Fabricação de CI Digitais MOS.

** Engenheiro Eletricista, Mestre em Engenharia (1970,1974);
Projeto e Fabricação de CI Digitais MOS.

Laboratório de Microeletrônica da USP - Caixa Postal 8174
01000 SÃO PAULO - SP - fone: (011) 815.93.22 ramal 310.

Com o advento de circuitos de altíssima densidade, correspondendo à integração em escala muito ampla (VLSI), evidenciou-se a importância do problema de testabilidade, com um aspecto essencial no projeto de circuitos integrados. Existem dois tipos de teste que devem ser distinguidos: teste funcional de um circuito e teste de avaliação. Usamos o termo "testes de avaliação" para abranger todos aqueles que se realizam com o objetivo de se obter informações utilizadas tanto na fase de projeto do circuito (parâmetros elétricos e tecnológicos necessários à simulação lógica e elétrica do circuito e definição do lay-out), como na fase de caracterização do desempenho de circuito (influência de parâmetros e dados de rendimento) {1 a 33}. Tais informações são obtidas a partir de estruturas de teste especialmente projetadas para este fim.

Estas são arrançadas em uma pastilha denominada pastilha teste. Podem ser fabricadas em algumas posições estratégicas da mesma lâmina de silício onde estão os circuitos, caso em que servem para monitoração do processo ("process monitor chips" PMC) {8} ou, então, em lâminas de silício compostas exclusivamente destas pastilhas denominadas "lâminas de validação do processo" ("process validation wafer" PVW) {5,10}. As estruturas contidas na pastilha teste devem permitir a determinação das informações procuradas a partir de medidas elétricas. Desta forma, utilizando-se sistemas automáticos de medidas, extrai-se rápida e confiavelmente uma grande quantidade de dados {1,2,3} que devidamente processados {2,7,8} fornecem as informações.

OBJETIVO

O objetivo do presente trabalho é o de projetar uma pastilha contendo estruturas de teste capazes de fornecer todas as informações necessárias para o projeto e a avaliação de CI digitais, fabricados segundo a tecnologia HMOS desenvolvida no LME. Vale ressaltar que tal tecnologia está sendo otimizada pela inclusão de um contato entre alumínio e substrato (além dos contatos alumínio-silício poli e silício poli-substrato já existentes) e, portanto, esta pastilha servirá também para avaliar o resultado desta otimização tecnológica.

CONSIDERAÇÕES SOBRE A PASTILHA TESTE

A Tabela 1 apresenta uma lista das estruturas projetadas, indicando o número de plataformas de contato, área que ocupa e informações que fornece.

Vamos em seguida descrever as estruturas que incluímos na pastilha e que não compareceram em trabalhos anteriormente publicados {34,35}.

Foram fabricados dois diodos de mesma área ($160.000\mu\text{m}^2$) e de perímetros diferentes com o objetivo de se determinar as capacitâncias lateral e de fundo de junções típicas da tecnologia. Estes parâmetros comparecem no modelo do transistor MOS do simulador SPICE G5. Também há 2 transistores meandros do mesmo perímetro ($2500\mu\text{m}$), para comparar a resistência de fonte e dreno de transistores fabricados com contato Al-Si com a dos que apresentam contato Sipoli-Si. Um terceiro transistor meandro, mas de perímetro muito maior ($20000\mu\text{m}$), foi incluído para se determinar as capacitâncias de superposição necessárias para o simulador SPICE.

Este mesmo transistor apresenta área efetiva de canal de $150.000\mu\text{m}^2$, idêntica à dos capacitores de óxido fino e, assim, poderemos também comparar o rendimento do processo quanto à qualidade do óxido de porta entre estas estruturas.

Duas linhas de atraso, formadas de tiras de silício poli, uma sobre óxido de campo e outro sobre óxido fino foram introduzidas a fim de termos dados experimentais que nos permitam analisar o comportamento do fator RC distribuído de tiras condutoras muito extensas. Devido à cargas capacitivas muito grandes presentes durante as medidas elétricas, as linhas de atraso apresentam saídas através de estágios seguidores de fonte.

Finalmente, queremos destacar a inclusão das estruturas em cruz e ponte (Van der Paw) para determinar a largura de tiras e resistência de folha, estruturas para determinação da continuidade de tiras condutoras (Al e Sipoli) de continuidade de contatos (Al-Sub e Poli-Sub), de isolamento (horizontal) entre tiras de um mesmo condutor, de isolamento (vertical) entre diferentes materiais condutores e de desalinhamento entre máscaras.

Estas estruturas são essenciais para determinar parâmetros de processo, bem como fornecer dados sobre o rendimento do processamento.

Uma descrição mais detalhada sobre todas as estruturas existentes encontra-se na ref.{36}.

CONCLUSÃO

Apresentamos, neste texto, a descrição do projeto de uma pastilha teste contendo estruturas para determinar todas as informações necessárias para o projeto de CI digitais HMOS, bem como para a avaliação de seu desempenho. A pastilha contém um total de 74 estruturas.

No projeto da pastilha, adotamos diversas recomendações da NBS americana que citamos em seguida.

Usamos arranjos de plataformas de contato ("bonding pads") regulares para viabilizar a utilização de sistemas de medida automática acoplados a microproveradores automáticos, munidos de cartelas de pontas ("probe cards"). Escolhemos dois tipos de arranjos: um deles foi o arranjo em duas colunas (arranjo $2 \times N$ {11, 12}) para estruturas que serão testadas exclusivamente através do microproverador, e o outro foi o arranjo retangular que permite também medir as estruturas encapsuladas. No primeiro caso , adotamos colunas de 15 plataformas e, no segundo, retângulos de 24 plataformas (v. fig.1).

Adotamos como dimensões mínimas para as plataformas de contato, quadrados de $80\mu\text{m}$ de lado, separados de $80\mu\text{m}$ {11}. Então, no arranjo em colunas, estas foram as dimensões usadas, e no arranjo retangular usamos separação entre plataformas de $90\mu\text{m}$ para maximizar a área útil onde estão as estruturas (v.fig.1).

Finalmente, procuramos minimizar o uso de diferentes estruturas contendo plataformas comuns {11} . Em toda a pastilha, isto só ocorre em alguns conjuntos de 5 transistores que apresentam um terminal comum (fonte ou dreno).

Considerando o número total de plataformas de solda necessárias para todas as estruturas, a área total ocupada (v.tabela 1) e devido à limitação dos equipamentos existentes no LME-USP não permitir a fabricação de pastilhas com área superior a um quadrado de 3mm de lado, distribuímos as estruturas em duas pastilhas, cada uma com área de $(2950 \times 3290)\mu\text{m}^2$, conforme ilustrado na figura 1.

CONTEÚDO DA PASTILHA TESTE

A fim de definir as estruturas que constituem a pastilha teste baseamo-nos nas seguintes referências:

- . a) literatura científica {1 a 33} ;
- . b) documento contendo a descrição de uma pastilha teste desenvolvida no CNET - Grenoble ;
- . c) experiência acumulada pelos integrantes da divisão MOS em trabalho de desenvolvimento de tecnologias e circuitos {34 e 35}.

Como resultado deste estudo, definimos as estruturas apresentadas na tabela 1. A finalidade de cada estrutura também está apresentada na mesma tabela.

Devido ao número total de plataformas de solda, da área total ocupada e à limitação dos equipamentos do LME, as estruturas ocuparam a área de 2 retângulos de $2950 \times 3290 \mu\text{m}^2$.

Esta pastilha será usada para caracterizar uma versão otimizada do processo HMOS desenvolvido no LME, bem como para avaliar o desempenho de uma memória RAM estática de 256 bits.

Nº	ESTRUTURA	CARACTERÍSTICAS	ÁREA OCUPADA	Nº PLATAFORMAS DE CONTATO
1 a 4	Capacitor MOS do óxido fino	(300x500), Substrato V_{TN} , V_{TE} , V_{TD1} , V_{TD2}	$4 \times (300 \times 500) \mu m^2$	4
5	Capacitor MOS de óxido espesso	(400x600), Al/GOX+REOX + PSG/ N^+ AUTOAl.	$(440 \times 640) \mu m^2$	2
6	Capacitor MOS de óxido espesso	{(450x550), Al/REOX+PSG/POLI {(500x600), POLI/FOX/ V_{TF}	$(500 \times 600) \mu m^2$	2
7	Diodo	(400x400), Al/ N^+ DIF/ {P-campo (lateral) {P-subst. (fundo), meandro	$(540 \times 770) \mu m^2$	2
8	Diodo	(320x500), Al/ N^+ AUTOAL/ {P-campo (lateral) {P-subst. (fundo), retangular	$(320 \times 500) \mu m^2$	1
9	Diodo	(100x100), Al/ N^+ AUTOAL/ {P- V_{TE} (lateral) P-SUBS (fundo)	$(110 \times 100) \mu m^2$	1
10 a 13	Trans.MOS óxido fino e de geomet.grande	(100x100), POLI/GOX/ V_{TN} , V_{TE} , V_{TD1} , V_{TD2}	$4 \times (120 \times 150) \mu m^2$	4x3
14 a 43	Trans.MOS óxido fino e de geomet.pequena	(Várias geometrias), POLI/GOX, V_{TN} , V_{TE} , V_{TD1} , V_{TD2}		6x11
44	Trans.MOS óxido fino muito largo	(20.000x9), POLI/GOX/ V_{TE} , MEANDRO	$(900 \times 1100) \mu m^2$	3
45	Trans.MOS óxido fino muito largo	(2500x4), POLI/GOX/ V_{TE} c/CTA. AL/SUBS	$(260 \times 410) \mu m^2$	4
46	Trans.MOS óxido fino muito largo	(2500x4), POLI/GOX/ V_{TE} c/CTA. POLI/SUBS.	$(260 \times 410) \mu m^2$	4
47 a 50	Trans.MOS de óxido espesso	(Várias geometrias), POLI/FOX, V_{TE}		4x3
51 a 54	Inversores	2-(4x8); (8x16); (25x50)		1x4 + 3x5
55	Cascata de inversores	41 inversores c/8 saídas	$(90 \times 1070) \mu m^2$	13
56	Oscilador em anel	55 inversores	$(120 \times 750) \mu m^2$	4
57 e 58	Linha de transmissão	POLI/GOX e POLI/FOX c/4 saídas	$2 \times (150 \times 620) \mu m^2$	2x6
59 a 63	Estr.Van der Pauw e Ponte Resistiva	Largura de região ativa, POLI, Al R_s de POLI, AL, N^+ DIF, N^+ AUTOAL, POLI + N^+ DIF		3x8 2x4
64 a 66	Estrutura de Berger	R_c de Al/SUBS, Al/POLI, POLI/SUBS.		3x6
67 e 68	Cadeia de Contatos	1000 Aberturas de Cont. { Al/SUBS POLI/SUBS	$2 \times (670 \times 690) \mu m^2$	1x5+1x4
69 e 70	Tiras condutoras muito longas	Al-8 μm de larg. e ~6mm de compr. POLI-4 μm larg. e ~6mm de compr.	$2 \times (450 \times 450) \mu m^2$	2x9
71 a 74	Resistores de Desalinhamento	{ Região Ativa - POLI Região Ativa - Contato Al/SUBS. Região Ativa - Al Região POLI - Contato Al/SUBS.		4x10

Tabela 1a - Estruturas componentes da pastilha teste, suas principais características (dimensões e camadas constituintes), área da pastilha ocupada e número de plataformas de contato.

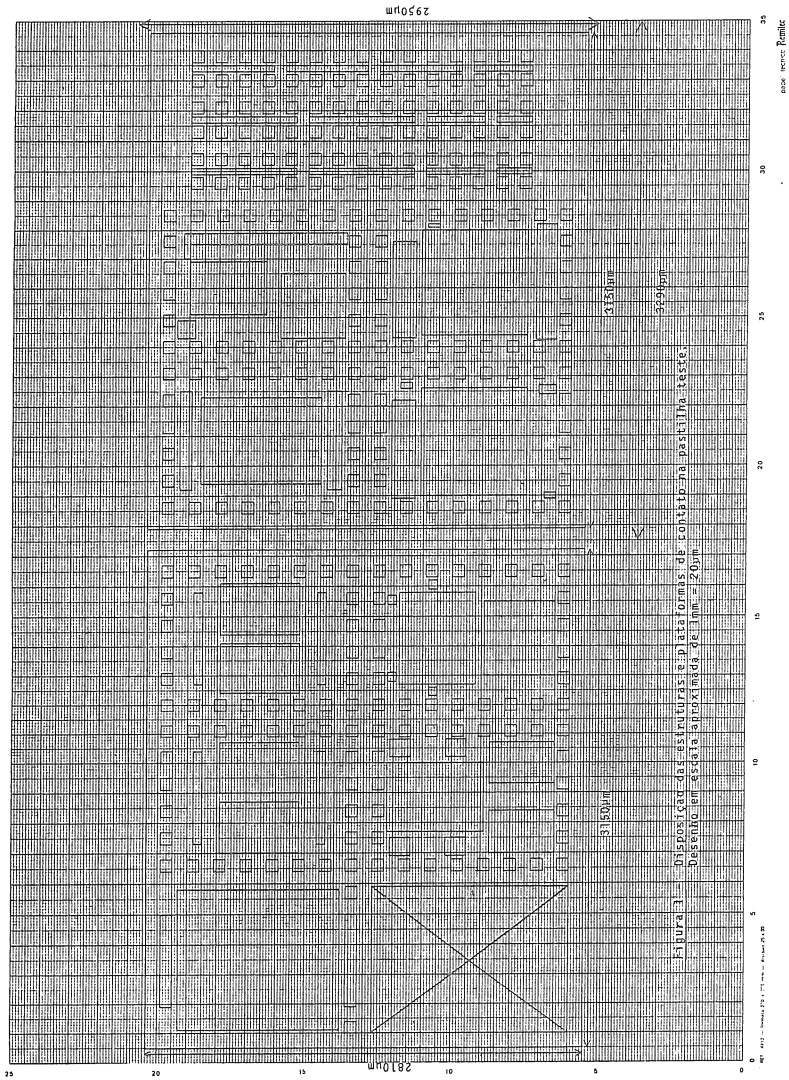
TABELA 1b. - Informações extraídas de cada estrutura.

INFORMAÇÕES PARA PROJETO DE CI's				INFORMAÇÕES PARA AVALIAÇÃO DE DESEMPENHO DE CI		
Número	Regras do Lay-Out	Distribuição dos parâmetros do modelo do transistor MOS no SPICE G5	Distribuição dos parâmetros de circuito	Distribuição dos parâmetros tecnológicos	Comparação entre parâmetros usados no projeto e em contrários após a fabricação do CI	Rendimento do processamento (Yield)
1 a 4		t_{ox}, N_{SUB}		$N(x), Q_{SS}, Q_o, N_{FS}, E_{FD}, t_v$	$t_{ox}, Q_{SS}, Q_o, E_{RD}$	E_{RD} , óxido perfurado
5				t_D, E_{RD}, Q_{SS}, Q_o		E_{RD} , dielétrico perfurado
6				T_{ox}		
7		C_{LJ}	V_{BR}		V_{BR}	Diodo em curto
8		C_{FJ}, J_S	V_{BR}		J_S, V_{BR}	J_S, V_{BR}
9			V_{BR}		V_{BR}	V_{BR}
10 a 13		$V_{TN}, V_{TE}, V_{TD1}, V_{TD2}, \mu_o, TETA_o, GAMA$	V_{BR}		$V_{TN}, V_{TE}, V_{TD1}, V_{TD2}$	V_{TN}, V_{TE}, V_{TD1}
14 a 43	L, L_D	$UCRIT_o, UEXP_o, UTRA_o$	$V_{BR} (V_{GS}), V_{PT}$		μ_o, V_{BR}, V_{PT}	V_{TD2}, V_{BR}, V_{PT}
44		$\mu_o, UCRIT, UEXP, UTRA, V_{MAX}, F_B$		$\Delta L_o, \Delta L_D$	$\mu_o, \Delta L_o, \Delta L_D, R_S, R_D$	$R_S, R_D, \Delta L_o, \Delta L_D$
45		$SIGMA, DELTA, R_S, R_D$				
46		C_{OV}				óxido perfurado
47 a 50	ΔE_{ISO}				R_S, R_D	R_S, R_D
51 a 54					R_S, R_D	R_S, R_D
55			$V_{TL}, \Delta O, \Delta I, t_r, t_f$	T_{ox}, V_{TF}	V_{TF}	V_{TF}
56		t_d, P_i, P_t	t_d			F_{INV}
57 e 58		KC_{par}				
59 a 63	Z_{COND}			R_F	Z_{COND}, R_F	Z_{COND}, R_F
64 a 66				R_C	R_C	R_C
67 e 68	SCT				SCT	SCT
69 e 70	D_{COND}				D_{COND}	CN_{COND}, IS_{COND}
71 a 74	D_{FOTOM}			D_{FOTOM}	D_{FOTOM}	

LISTA DE SÍMBOLOS

C_{FJ}	- capacitância de fundo da junção
C_{LJ}	- capacitância lateral da junção
C_{OV}	- capacitância de superposição (porta-fonte e porta dreno)
CN_{cond}	- continuidade do condutor
D_{cond}	- distância entre os condutores
D_{Fotom}	- desalinhamento entre fotomáscaras
DELTA	- fator de canal estreito
ΔE_{ISO}	- mínima isolação LOCOS
E_{RO}	- campo de ruptura dielétrica
F_B	- fator de corpo
F_{INV}	- frequência de inversores funcionando
GAMA	- sensibilidade de substrato
IS_{cond}	- isolação entre condutores
J_S	- densidade de corrente reversa de junção
L	- comprimento de canal (sem descontar a difusão lateral)
L_D	- largura da difusão lateral
ΔL_0	= $L_M - L$ (L_M L de máscara)
ΔL_D	= $L - L_{ef}$ (L_{ef} ... L efetivo de canal)
$N(x)$	- perfil de concentração
N_{FS}	- densidade de estados rápidos de interface
N_{SUB}	- concentração de substrato
P_i	- potência dissipada por inversor
P_t	- figura de mérito
Q_{SS}	- densidade efetiva de carga de interface
Q_0	- densidade de carga móvel
R_C	- resistência de contato
R_D	- resistência de dreno
R_F	- resistência de fonte
R_S	- resistência de folha (pelicular)

RC_{PAR}	- parâmetros RC parasitários
S_{CT}	- dimensão da abertura de contato
$SIGMA$	- coeficiente do efeito de realimentação estática
t_d	- tempo de atraso
t_f	- tempo de descida
t_r	- tempo de subida
t_{ox}	- espessura do óxido de porta
t_V	- tempo de vida dos portadores
t_D	- espessura do dielétrico
T_{ox}	- espessura do óxido de campo
$TETA_0$	- fator de mobilidade
$UEXP_0$	- fator de mobilidade
$UCRIT_0$	- fator de mobilidade
$UTRA_0$	- fator de mobilidade
V_{BR}	- tensão de ruptura de junção
V_{PT}	- tensão de perfuração entre fonte e dreno
V_{TD1}	- tensão de limiar do transistor tipo depleção (sô As)
V_{TD2}	- tensão de limiar do transistor tipo depleção (As + B)
V_{TE}	- tensão de limiar do transistor tipo enriquecimento
V_{TF}	- tensão de limiar do transistor de óxido de campo
V_{TL}	- tensão de limiar lógico
V_{TN}	- tensão de limiar do transistor com substrato natural
V_{MAX}	- velocidade máxima dos elétrons
Z_{COND}	- largura de tiras condutoras
μ_0	- mobilidade
Δ_0	- margem de ruído nível lógico baixo
Δ_1	- margem de ruído nível lógico alto



- {1} SINGER, P.H. - "Parametric Test System Update" - Semiconductor International, September 1983. pp.84-90.
- {2} KAEMPF, U. - "Automated Parametric Testers to Monitor the Integrated Circuit Process" - Solid State Technology - September 1981. pp.81-87.
- {3} CHRONES, C. - "Parametric Test System for Wafer Processing" - Semiconductor International, October 1980. pp.113-122.
- {4} IPRI, A.C. - "Impact of Design Rule Reduction on Size, Yield, and Cost of Integrated Circuits" - Solid State Technology, February 1979, pp.85-91.
- {5} RUSSELL, T.J., MAXWELL, D.B., REIMANN, C.T., BUEHLER, M.G. - "A Microelectronic Test Pattern for Measuring Uniformity of an Integrated Circuit Fabrication Technology" - Solid State Technology - February 1979. pp. 71-74.
- {6} STAHLBERG, N.F. - "The Role of Testing in VLS/VHS Integrated Circuit Development" - Solid State Technology, November 1982. pp.89-95.
- {7} BUEHLER, M.G., LINHOLM, L.W. - "Role of Test Chips in Coordinating Logic and Circuit Design and Layout Aids for VLSI" - Solid State Technology, September 1981, pp.68-74.
- {8} PERLOFF, D.S., HASAN, T.F., BLOME, E.R. - "Real-Time Monitoring of Semiconductor Process Uniformity" - Solid State Technology - February/80. pp.81-86.
- {9} BUEHLER, M.G. - "The Use of Electrical Test Structure Arrays for Integrated Circuit Process Evaluation" - Journal of the Electrochemical Society, October 1980. pp.2284-2290.
- {10} BUEHLER, M.G., SAWYER, D.E. - "Microelectronic Test Patterns" - Circuits Manufacturing - 1977, pp.46-56.
- {11} BUEHLER, M.G. - "Comprehensive Test Patterns with Modular Test Structures ; The 2 by N Probe-Pad Array Approach" - Solid State Technology - October 1979. pp.89-94.
- {12} BUEHLER, M.G., GRISWOLD, T.W., PINA, C.A., TIMOC, C. - "Test Chips for Custom ICs" - Circuits Manufacturing. pp.36-42.
- {13} STEMP, I.J., NICHOLAS, K.H., BROCKMAN, H.E. - "Automatic Testing and Analysis of Misregistrations Found in Semiconductor Processing" - IEEE Transactions on Electron Devices - April 1979 - pp.729-732.
- {14} PERLOFF, D.S. - "A Van der Pauw Resistor Structure for Determining Mask Superposition Errors on Semiconductor Slices" - Solid State Electronics, 1978. pp.1013-1018.
- {15} HASAN, T.F., KATZMAN, S.U., PERLOFF, D.S. - "Automated Electrical Measurements of Registration Errors in Step-and-Repeat Optical Lithography Systems" - IEEE Transactions on Electron Devices, December 1980. pp. 2304-2312.

- {16} PERLOFF, D.S. "A Four-Point Electrical Measurements Technique for Characterizing Mask Superposition Errors on Semiconductor Wafers" - IEEE Journal of Solid State Circuits, August 1978. pp.435-444.
- {17} HASAN, T.F., PERLOFF, D.S. - "Automated Wafer Mapping for Characterizing Plasma Etching Processes" - Electrochemical Society Extended Abstracts, 1979. pp.1515-1517.
- {18} RUSSELL, T.J., LEEDY, T.F., MATTIS, R.L. - "A Comparison of Electrical and Visual Alignment Test Structures for Evaluating Photomask Alignment in Integrated Circuit Manufacturing" - IEDM - December 1977. pp. 7A-7F.
- {19} DAVID, J.M., BUEHLER, M.G. - "A Numerical Analysis of Various Cross Sheet Resistor Test Structures" - Solid State Electronics, 1977, pp. 539-543.
- {20} BUEHLER, M.G., THURBER, W.R. - "An Experimental Study of Various Cross Sheet Resistor Test Structures" - Journal of the Electrochemical Society, April 1978. pp.645-650.
- {21} BUEHLER, M.G., GRANT, S.D., THURBER, W.R. - "Bridge and Van der Pauw Sheet Resistors for Characterizing the Line Width of Conducting Layers" Journal of the Electrochemical Society - April 1978, pp.650-654.
- {22} YEN, D., LINHOLM, L.W., BUEHLER, M.G. - "A Cross-Bridge Test Structure for Evaluating the Linewidth Uniformity of an Integrated Circuit Litography System" - Journal of the Electrochemical Society, October 1982. pp. 2313-2318.
- {23} LINHOLM, L.W., BUEHLER, M.G. - "A Cross-Bridge Structure Array for Characterizing Intrachip Linewidth Variations" - Electrochemical Society Extended Abstracts, 1979. pp.502-505.
- {24} HAM, W.E. - "Intrachip and Spatial Parametric Integrity and Important part of IC Process Characterization" - IEDM - December 1977. pp.406-409.
- {25} IPRI, A.C., SARACE, J.C. - "Integrated Circuit Process and Design Rule Evaluating Techniques" - RCA Review - September 1977. pp.323-351.
- {26} PERLOFF, D.S., WAHL, F.E., CONRAGAN, J. - "Four-Point Sheet Resistance Measurements of Semiconductor Doping Uniformity" - Journal of the Electrochemical Society, April 1977. pp.582-590.
- {27} PERLOFF, D.S. - "Four-Point Sheet Resistance Correction Factors for Thin Rectangular Samples" - Solid State Electronics, 1977, pp.681 - 687.
- {28} CARVER, G.P., BUEHLER, M.G. - "Design Considerations for the Integrated Gated-Diode Electrometer" - Electrochemical Society Extended Abstracts, 1979. pp.508-511.
- {29} CARVER, G.P., BUEHLER, M.G. - "An Analytical Expression for the Evaluation of Leakage Current in the Integrated Gated-Diode Electrometer" - IEEE Transactions on Electron Devices, December 1980. pp.2245-2252.
- {30} PAUW, L.J. Van der - "A Method of Measuring Specific Resistivity and Hall Effect of discs of arbitrary shape" - Philip Res.Repts. 1958 . pp. 1 a 9.

- {31} HARRIS,K., SANDLAND,P., SINGLETON,R. -"Wafer Inspection Automation: Current and Future Needs" - Solid State Technology - August 1983 . pp.199-205.
- {32} PERLOFF,D.S., WAHL,F.E., MALLORY,C.L., MYLROIE,S.W. - "Microelectronic Test Chips in Integrated Circuit Manufacturing" - Solid State Technology - September 1981. pp.75-80.
- {33} MALLORY,C.L., PERLOFF,D.S., HASAN,T.F. - "Spatial Yield Analysis in Integrated Circuit Manufacturing" - Solid State Technology - November 1983 - pp.121-127.
- {34} ZASNICOFF,L.S. - "Desenvolvimento da tecnologia HMOS: Resultados experimentais nos dispositivos teste" - Anais do III Simpósio Brasileiro de Microeletrônica, 1983. pp.369-386.
- {35} STRUM,M. - "Estudo e realização de uma célula básica de memória EEPROM" Tese de Doutorado - USP - 1983.
- {36} STRUM,M., ZASNICOFF, L.S. - Relatório Interno LME/USP - 1983.